**Câu 1: Thiết kế bộ giải mã:**

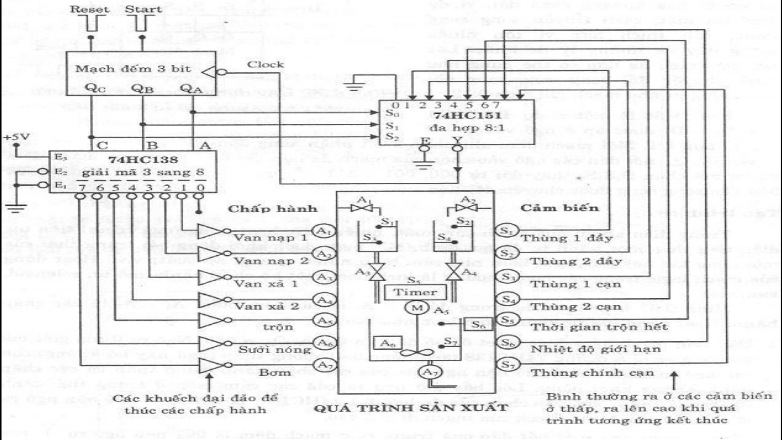
1. **Giải mã 8 🡪 3.**
2. **Giải mã 3 🡪 8.**

**Câu 2: Thiết kế các bộ sau:**

1. **Đa hợp (MUX) với 8 cổng vào, 3 cổng chọn và 1 cổng ra.**
2. **Giải đa hợp (DEMUX) với 1 cổng vào, 3 cổng chọn và 8 cổng ra.**

**Câu 3:**

1. **Thiết kế IC74138 từ các cổng logic.**
2. **Mô tả sơ đồ Quy trình sản xuất và dùng mạch đếm 3 bit (IC đếm 7493) với Modulo bằng 8.**



***Bài làm***

**Câu 1:**

1. **Thiết kế bộ giải mã từ 8 ngõ vào và 3 ngõ ra:**

Lập bảng hoạt động, ta có:

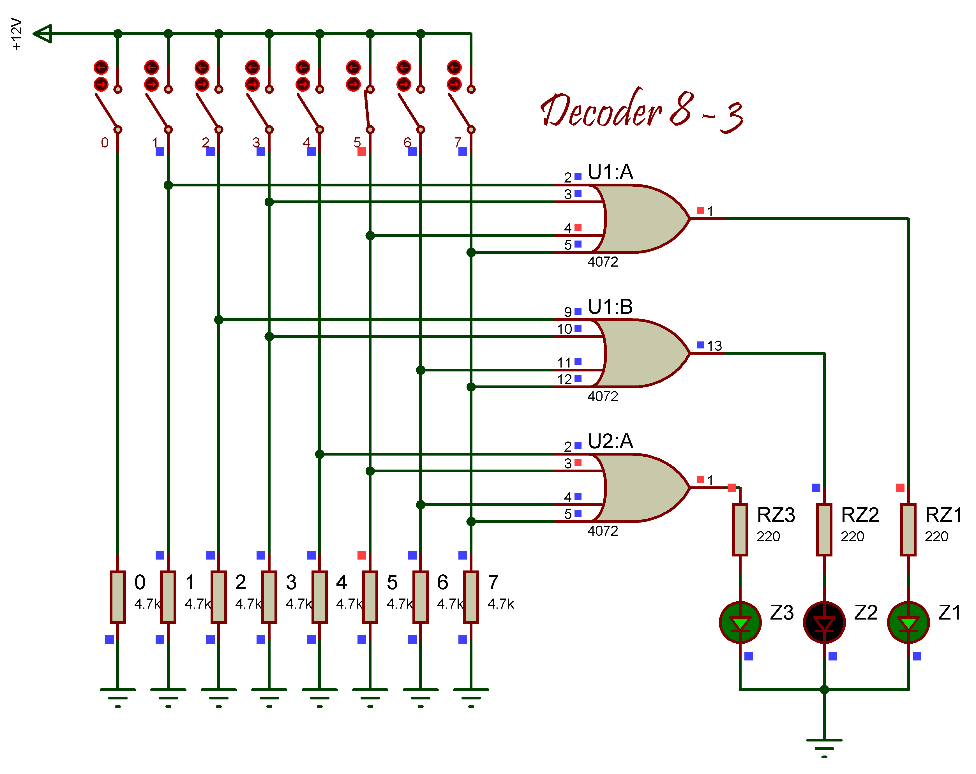
|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Giá trị thập phân** | **Y7** | **Y6** | **Y5** | **Y4** | **Y3** | **Y2** | **Y1** | **Y0** | **Z3** | **Z2** | **Z1** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

**Từ bảng, ta rút ra được các trạng thái như sau:**

**Z1 = Y1 + Y3 + Y5 + Y7**

**Z2 = Y2 + Y3 + Y6 + Y7**

**Z3 = Y4 + Y5 + Y6 + Y7**

**Mạch thỏa đề được mô tả bằng Proteus như sau:**

1. **Thiết kế bộ giải mã từ 3 ngõ vào và 8 ngõ ra:**

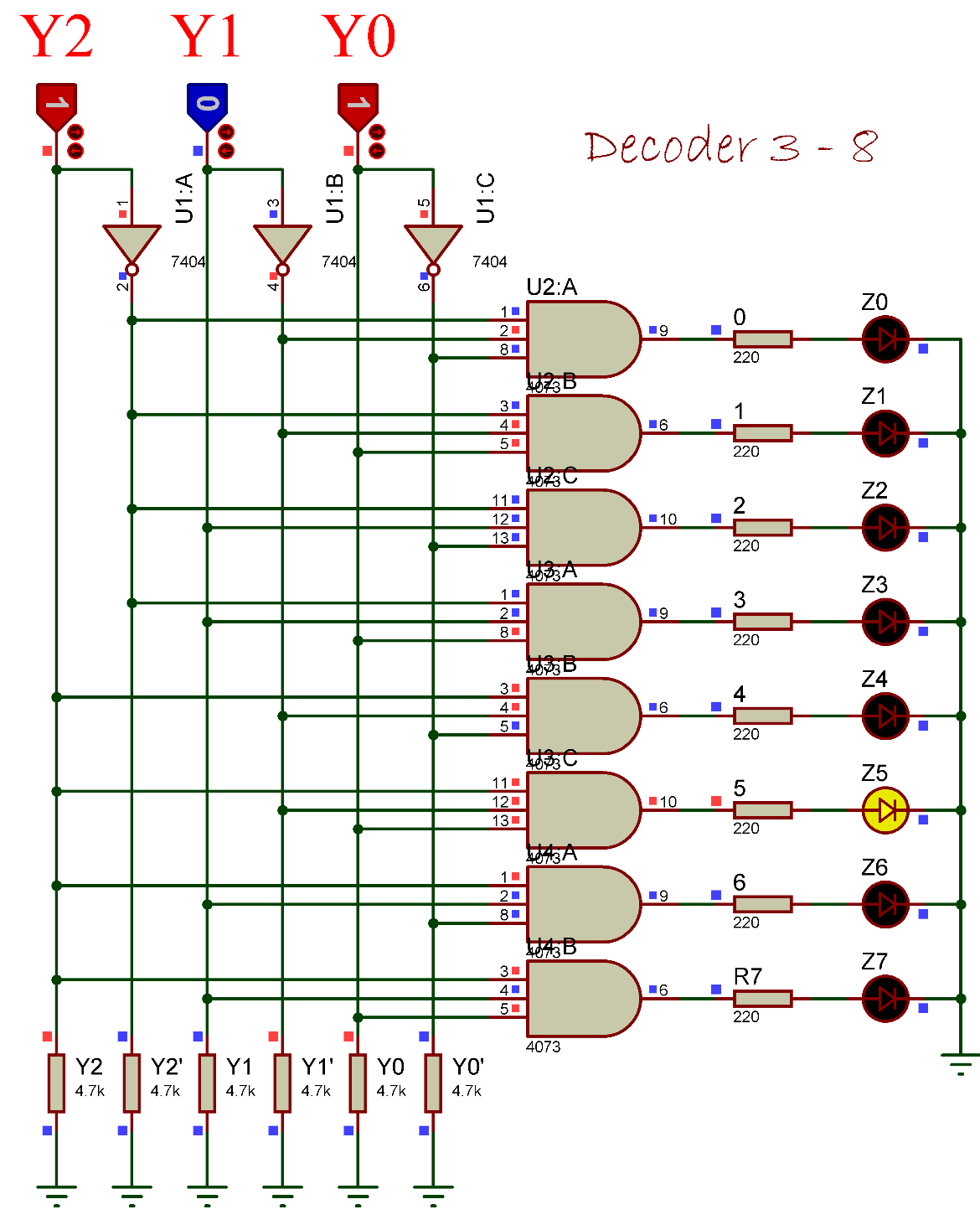
Lập bảng hoạt động, ta có:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Giá trị thập phân** | **Y2** | **Y1** | **Y0** | **Z7** | **Z6** | **Z5** | **Z4** | **Z3** | **Z2** | **Z1** | **Z0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 4 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 6 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

**Từ bảng, ta rút ra được các trạng thái như sau:**

|  |  |  |
| --- | --- | --- |
| Z0 = | Z1 = Y0 | Z2 = |
| Z3 = Y1Y0 | Z4 = Y2 | Z5 = Y2Y0 |
| Z6 = Y2Y1 | Z7 = Y2Y1Y0 |  |
|  |  |  |

**Mạch thỏa đề được mô tả bằng Proteus như sau:**

****

**Câu 2:**

1. **Thiết kế bộ đa hợp (MUX) với 8 cổng vào, 3 cổng chọn và 1 cổng ra:**

Lập bảng hoạt động, ta có:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **Các cổng chọn** | | | **Các ngõ vào** |
|  | **m** | | | Y |
|  | C3 | C2 | C1 |
| m0 | 0 | 0 | 0 | Y0 |
| m1 | 0 | 0 | 1 | Y1 |
| m2 | 0 | 1 | 0 | Y2 |
| m3 | 0 | 1 | 1 | Y3 |
| m4 | 1 | 0 | 0 | Y4 |
| m5 | 1 | 0 | 1 | Y5 |
| m6 | 1 | 1 | 0 | Y6 |
| m7 | 1 | 1 | 1 | Y7 |

**Từ bảng, ta rút ra được trạng thái tổng quát như sau:**

**Z= miYi**

*với:*

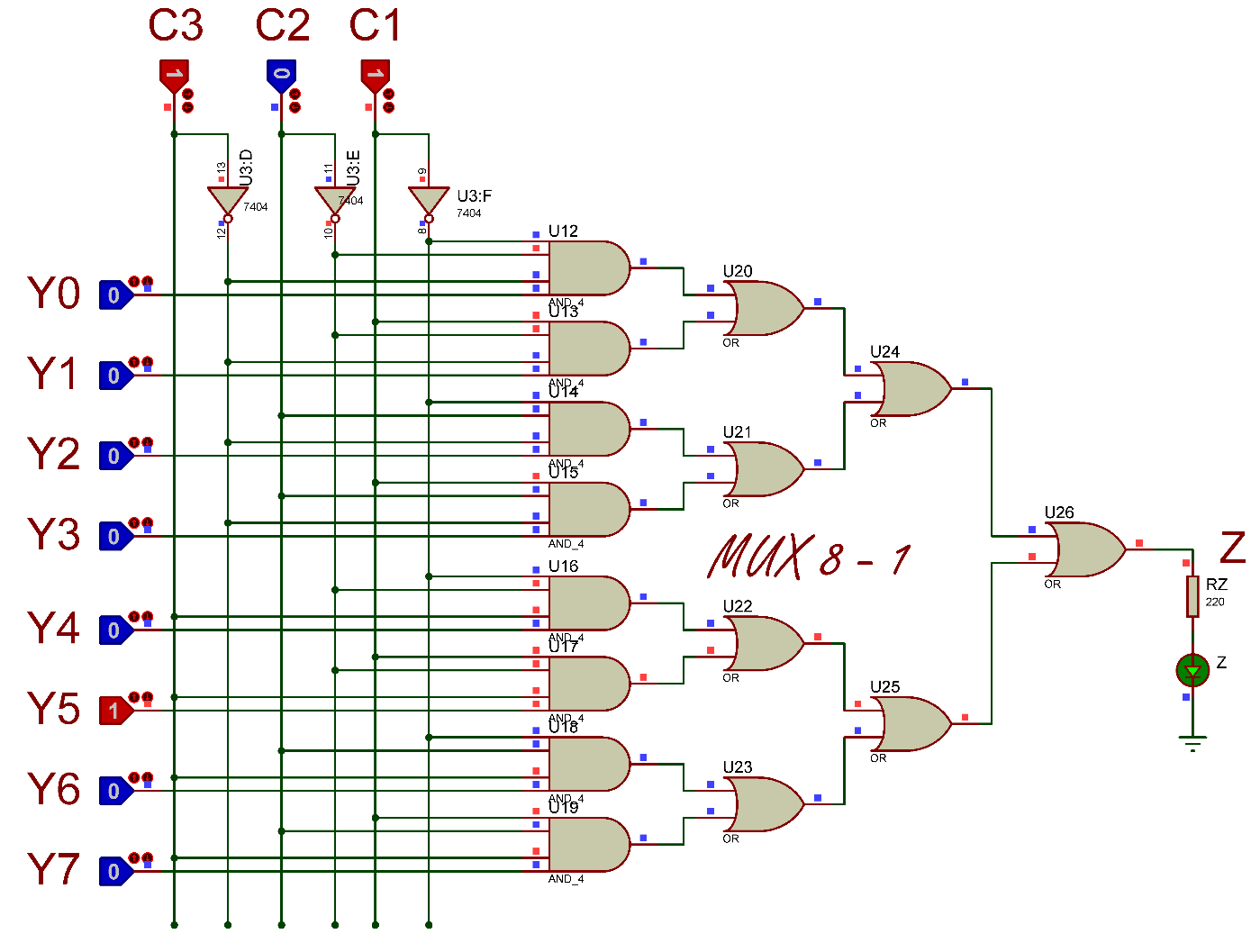
*m0 = m4 = C3*

*m1 =C1 m5 = C3C1*

*m2 = C2 m6 = C3C2*

*m3 = C2C1 m7 = C3C2C1*

**Mạch thỏa đề được mô tả bằng Proteus như sau:**

****

1. **Thiết kế bộ giải đa hợp (DEMUX) với 1 cổng vào, 3 cổng chọn và 8 cổng ra:**

Lập bảng hoạt động, ta có:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **Các cổng chọn** | | | **Trạng thái ra tương ứng** | | | | | | | |
|  | m | | | Z | | | | | | | |
|  | C3 | C2 | C1 | Z7 | Z6 | Z5 | Z4 | Z3 | Z2 | Z1 | Z0 |
| m0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Y |
| m1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | Y | 0 |
| m2 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | Y | 0 | 0 |
| m3 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | Y | 0 | 0 | 0 |
| m4 | 1 | 0 | 0 | 0 | 0 | 0 | Y | 0 | 0 | 0 | 0 |
| m5 | 1 | 0 | 1 | 0 | 0 | Y | 0 | 0 | 0 | 0 | 0 |
| m6 | 1 | 1 | 0 | 0 | Y | 0 | 0 | 0 | 0 | 0 | 0 |
| m7 | 1 | 1 | 1 | Y | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

**Từ bảng, ta rút ra được trạng thái tổng quát như sau:**

**Zi = miYi**

*với:*

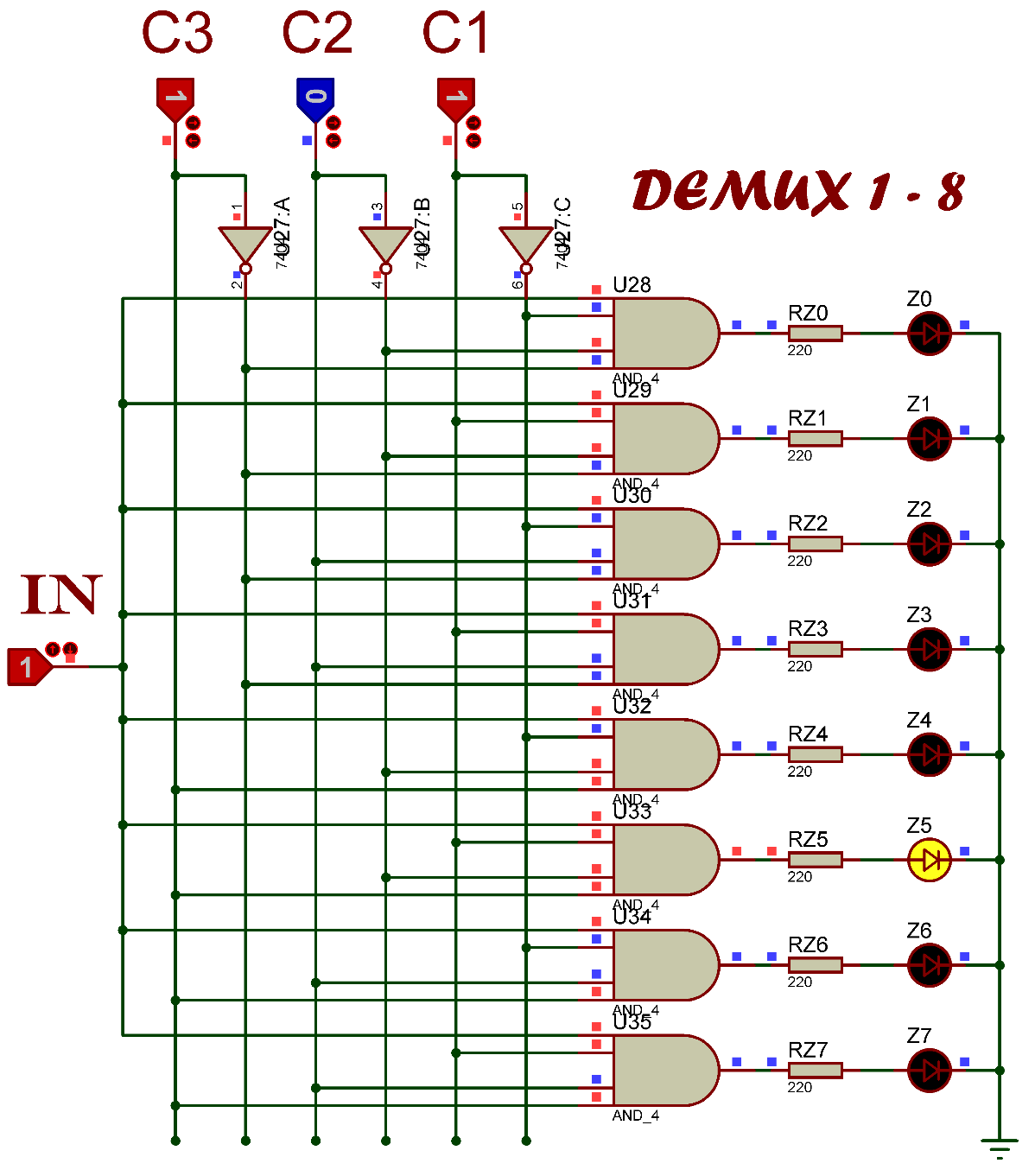
*m0 = m4 = C3*

*m1 =C1 m5 = C3C1*

*m2 = C2 m6 = C3C2*

*m3 = C2C1 m7 = C3C2C1*

**Mạch thỏa đề được mô tả bằng Proteus như sau:**



**Câu 3:**

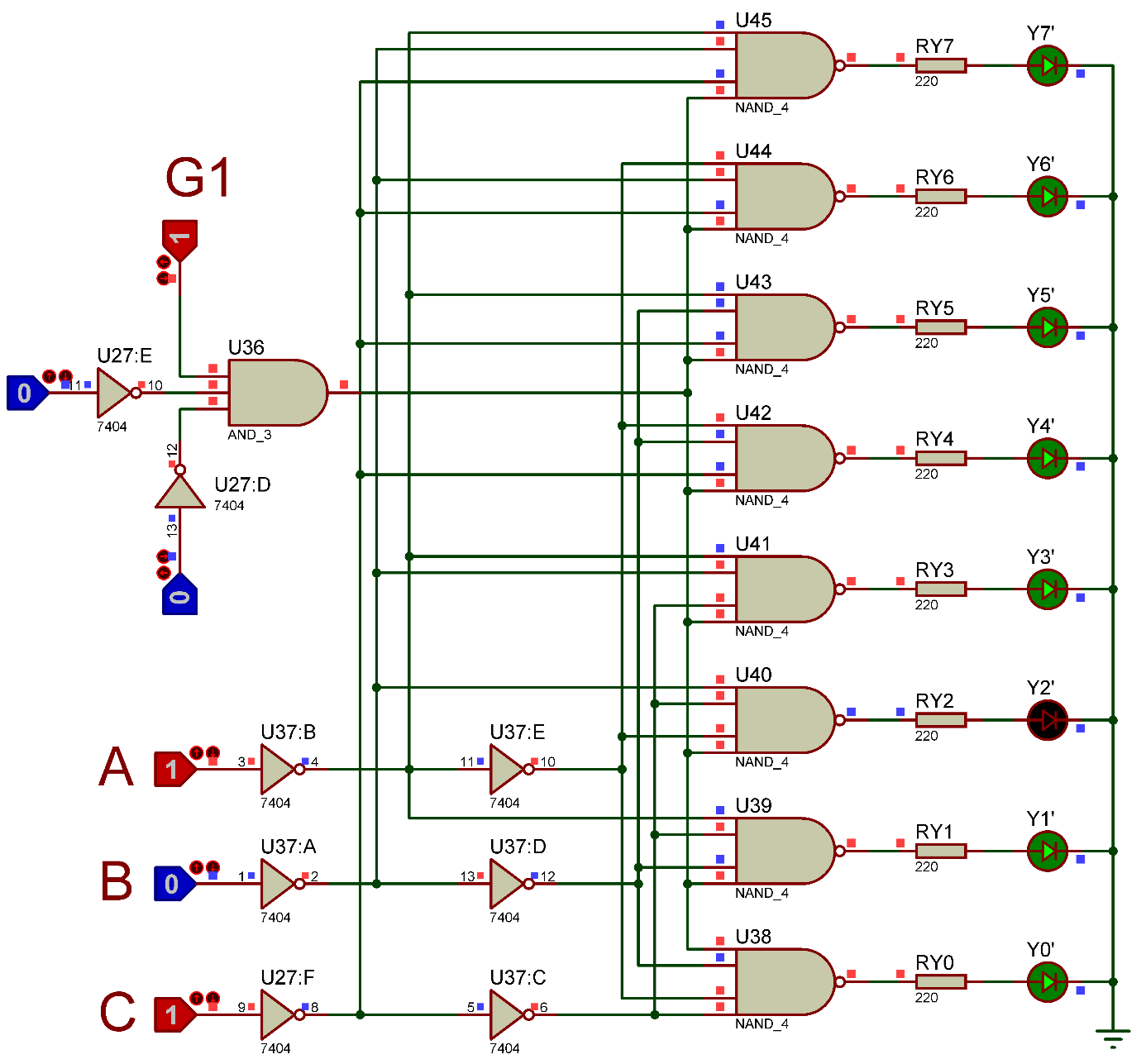
1. **Thiết kế IC74138 từ các cổng logic:**

IC74138 là bộ giải mã 3 sang 8 với ngõ ra tích cực thấp.

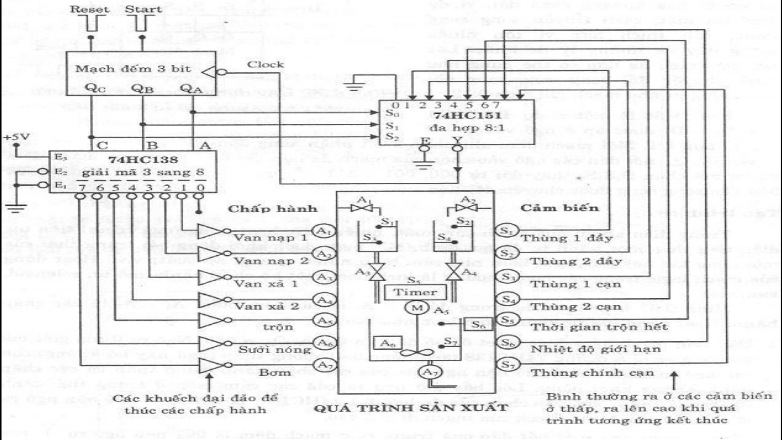
**Bảng hoạt động**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| G1 |  |  | C | B | A |  |  |  |  |  |  |  |  |
| 0 | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | 1 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**Sơ đồ cấu trúc của IC74138 được mô tả bằng Proteus như sau:**

****

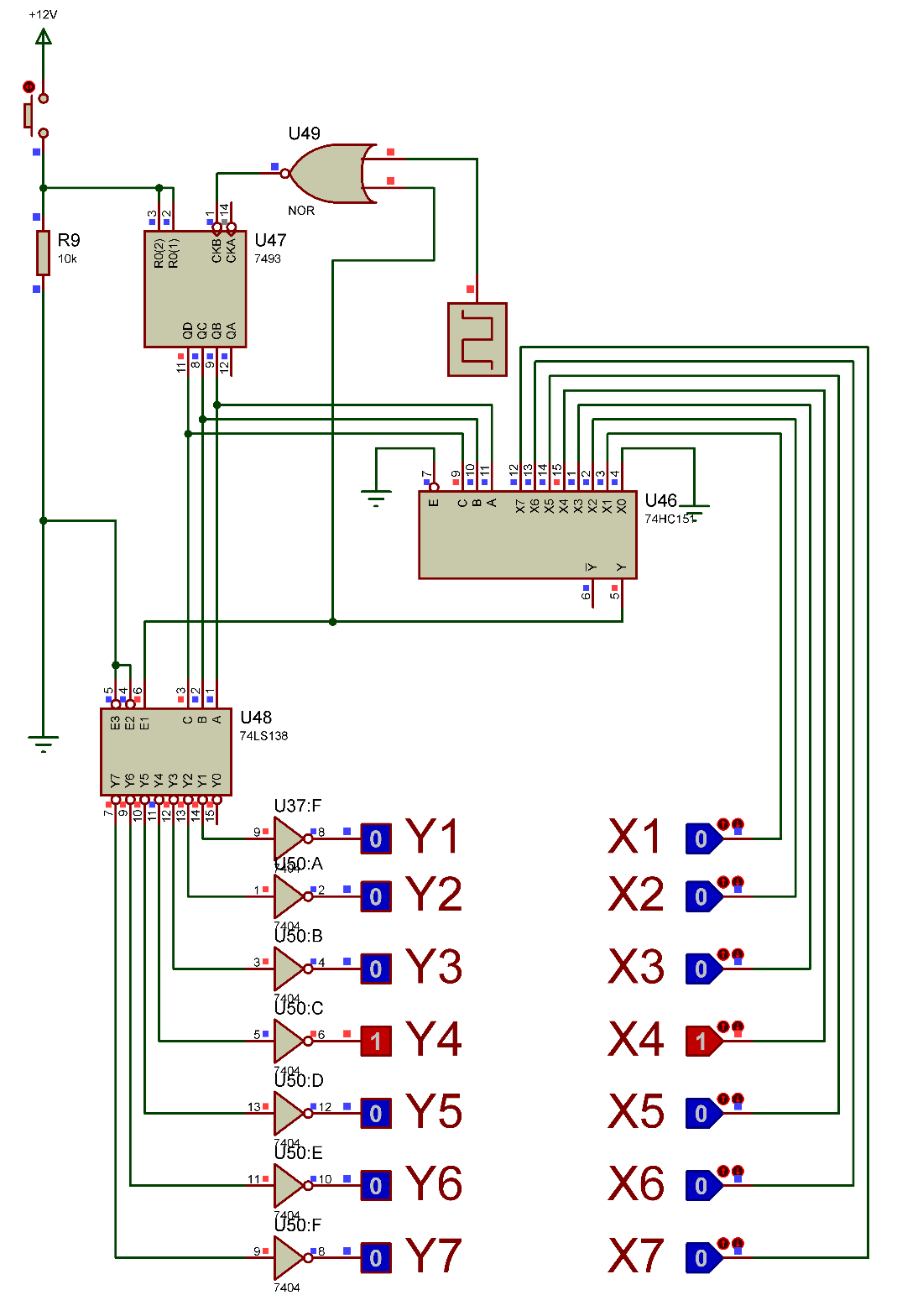
1. **Mô tả sơ đồ Quy trình sản xuất và dùng mạch đếm 3 bit (IC đếm 7493) với Modulo bằng 8.**



🙞 • HẾT • 🙜

Quy trình sản xuất (trang 27)

**Sơ đồ mô tả mạch thỏa đề được mô tả bằng Proteus như sau:**



🙞 • HẾT • 🙜